

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of :  
Wein-Town SUN et al. : Group Art Unit: Not Yet Assigned  
Application No.: Not Yet Assigned : Examiner: Not Yet Assigned  
Filed: July 23, 2003 :  
For: **DUAL GATE LAYOUT FOR THIN FILM TRANSISTOR**

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Assistant Commissioner of Patents  
Washington, D.C. 20231

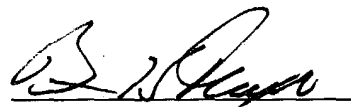
Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant  
claims the right of priority based upon **Taiwanese Application No. 092107167 filed  
March 28, 2003.**

A certified copy of Applicant's priority document is submitted herewith.

Respectfully submitted,

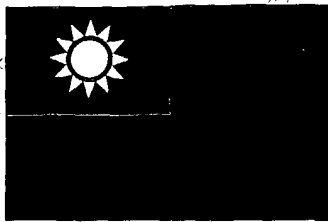
By:



Bruce H. Troxell  
Reg. No. 26,592

**TROXELL LAW OFFICE PLLC**  
5205 Leesburg Pike, Suite 1404  
Falls Church, Virginia 22041  
Telephone: (703) 575-2711  
Telefax: (703) 575-2707

Date: July 23, 2003



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 28 日  
Application Date

申請案號：092107167  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 5 月 21 日  
Issue Date

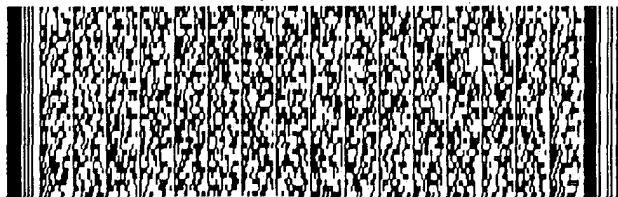
發文字號：09220497630  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	薄膜電晶體之雙閘極佈局結構
	英 文	Dual Gate Layout for Thin Film Transistor
二、 發明人 (共3人)	姓 名 (中 文)	1. 李春生
	姓 名 (英 文)	1. Chun-Sheng LI
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (中 文)	1. 高雄市三民區褒忠街91巷17號
	住 居 所 (英 文)	1. No. 17, Lane. 91, Pao Chung Street, San Ming District, Kaohsiung City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英 文)	1. AU Optronics Corp.
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (營 業 所) (中 文)	1. 新竹市科學工業園區力行二路1號 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1. No. 1, Li-Hsin Rd. 2, Science-Based Industrial Park, Hsinchu 300, Taiwan R.O.C.
	代 表 人 (中 文)	1. 李焜耀
	代 表 人 (英 文)	1. Kun-Yao LI

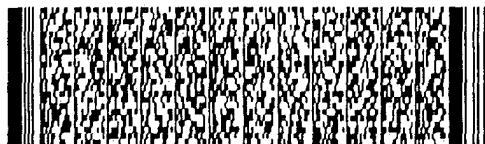


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中 文)	2. 尤建盛
	姓 名 (英 文)	2. Jian-Shen YU
	國 籍 (中 英 文)	2. 中 華 民 國 TW
	住 居 所 (中 文)	2. 新竹市光復路一段89巷123之5號2樓
	住 居 所 (英 文)	2. 2F, No. 123-5, Lane 89, Sec. 1, Kuang Fu Road, Hsinchu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中 文)	3. 孫文堂
	姓 名 (英 文)	3. Wein-Town SUN
	國 籍 (中 英 文)	3. 中華民國 TW
	住 居 所 (中 文)	3. 高雄市楠梓區和昌里19鄰和光街95巷1號
	住 居 所 (英 文)	3. No. 1, Lane 95, Ho Kuan Street, Nan Tzu District, Kaohsiung City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



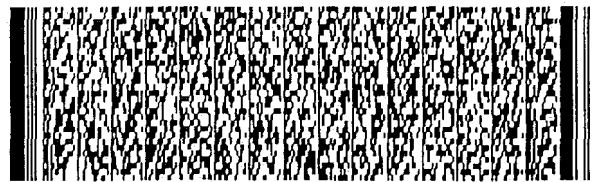
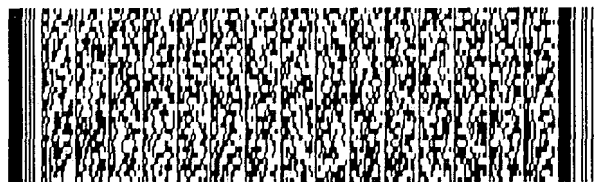
四、中文發明摘要 (發明名稱：薄膜電晶體之雙閘極佈局結構)

一種用以抑制漏電流之液晶顯示器的像素多閘極薄膜電晶體佈局結構，至少包含一呈蛇形或是L型的複晶矽層，其包含有一 $n+$ 重摻雜源極區、一第一 $n$ -輕摻雜區、一第一閘極通道、一第二 $n$ -輕摻雜區、一第二閘極通道、一第三 $n$ -輕摻雜區、及一 $n+$ 重摻雜汲極區形成於其中，此外，源極區藉由一接觸窗連接至一資料線，而且第一閘極通道與第二閘極通道的長度方向至少其一係沿著資料線方向，在複晶矽層的上方依序沉積一閘極氧化層與多閘極，其中的多閘極與複晶矽層有二個交會點分別在第一閘極通道與第二閘極通道的上方。因此，本發明的電晶體佈局結構可以使沿掃描線方向的部分閘極通道負擔轉移至沿資料線方向，而使沿掃描線方向可以容納更多畫素，而提高解析度。

六、英文發明摘要 (發明名稱：Dual Gate Layout for Thin Film Transistor)

Dual Gate Layout for Thin Film Transistor

A dual gate layout of a thin film transistor of liquid crystal display to alleviate dark current leakage is disclosed. The layout comprises (1) a polysilicon on a substrate having a L-shaped or a snake shaped from top-view, which has a heavily doped source region, a first lightly doped region, a first gate channel, a second lightly doped region, a



四、中文發明摘要 (發明名稱：薄膜電晶體之雙閘極佈局結構)

五、(一)、本案代表圖為：第 \_\_二 A\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

多晶矽區段 100

n+重摻雜源極區 100A

n+重摻雜汲極區 909g、100I

第一通道 100C

第二通道 100G

909b、909d、909f、100B、100D、100F、100H

n+重摻雜區 100E

掃描金屬線 120

I型閘極 121

資料線 130

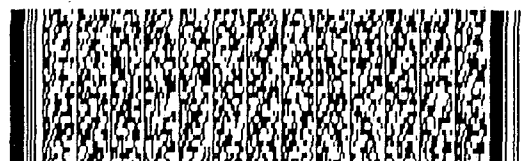
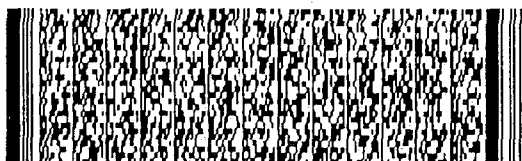
接觸窗 132、133、162

透明金屬電極 160

金屬導線 150

六、英文發明摘要 (發明名稱：Dual Gate Layout for Thin Film Transistor)

second gate channel, a third lightly doped region and a heavily doped drain region formed in order therein; (2) a gate oxide layer formed on the polysilicon layer and the substrate, (3) a gate metal layer then formed on the gate oxide layer having a scanning line and an extension portion with a L-shaped or an I-shaped. The gate metal intersects with the polysilicon layer thereto define the



四、中文發明摘要 (發明名稱：薄膜電晶體之雙閘極佈局結構)

六、英文發明摘要 (發明名稱：Dual Gate Layout for Thin Film Transistor)

forgoing gate channels. Among of gate channels, at least one is along the signal line, which is connected to the source region through a source contact.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

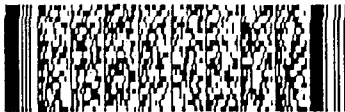
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

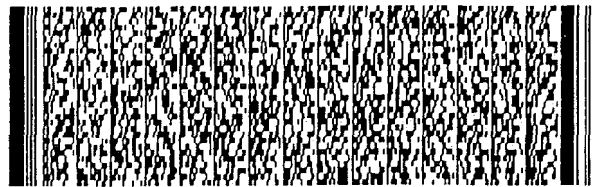
發明所屬之技術領域：

本發明與一種液晶顯示器製程技術有關，特別是有關於一種低溫多晶矽液晶顯示器之雙閘型薄膜電晶體結構，用以抑制漏電流。

先前技術：

液晶顯示器 (LCD) 係一種平面的顯示器，具有低耗電量特性，與同視窗尺寸之陰極射線管 (CRT) 相比，不論就佔用空間或質量而言，LCD 都佔盡極大的優勢。也因此眾多廠商看好其後勢而相繼加入生產行列。這亦促使其價格更加大眾化。其產品線亦因此由小尺寸的消費性電子產品如掌上型計算機、電腦字典、手錶、手機、個人數位助理 (PDA)，更上層樓而向尺寸較大的筆記型電腦，通訊終端機，顯示板，個人桌上型電腦，電視等。特別是主動矩陣型薄膜電晶體液晶顯示器 (TFT-LCD)，其可視角、對比表現、反應時間是所有 LCD 顯示器的佼佼者，前途一片看好。

此外就 TFT-LCD 而言，長期以來多以傳統非晶矽做為 TFT-LCD 之 TFT 的主要材料，如今已另有一選擇，即使用多晶矽取代非晶矽並且有可能成為主流。這主要著眼於不管是電子或電洞的移動速率 (mobility)，多晶矽都要比非晶矽提供更佳的移動速率。除此之外，多晶矽 TFT-LCD 還有一個優點

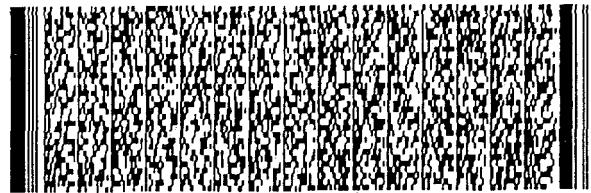
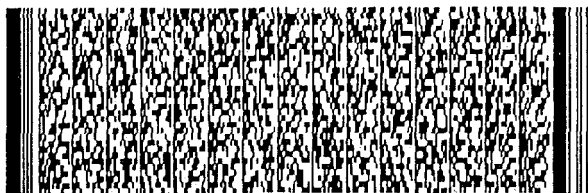


## 五、發明說明 (2)

是形成 LCD 面板之驅動電路 (包含 nMOS 電晶體或 pMOS 電晶體至於互補式金氧半電晶體 CMOS) 可以和畫素面板之製造同時進行。由於上述因素，多晶矽型 TFT-LCD 可以提供比非晶矽型 TFT-LCD 更佳的切換速率，更具吸引力。

當然多晶矽型 TFT-LCD 也並非沒有缺點，例如當 TFT 進行開關切換至關閉狀態時，往往仍有甚大的汲極漏電流。為克服這個缺點，Inoue 等人提出一種稱為雙閘極 (dual gate) 的薄膜電晶體結構可用以抑制漏電流。請參考美國專利第 5693959，另一種方法為由 Ha 等人以輕摻雜汲極 (LDD) 的技術克服漏電流的問題，請參照其所獲得的美國專利第 5,940,151 號。

本發明將專注於雙閘極 (dual gate) 的薄膜電晶體結構。請同時參照圖一 A 的俯視圖及對應於圖一 A 中 a-a' 切割之橫截面示意圖。圖中標號 909 係一多晶矽層，用以構成薄膜電晶體 (TFT) 之源極重摻雜區 909a、源極輕摻雜區 909b、第一通道 909c、雙閘極中間輕摻雜區 909d、第二通道 909e、汲極輕摻雜區 909f、汲極重摻雜區 909g。圖號 903 則是掃瞄線包含兩個在第一通道 909c、第二通道 909e 上的閘極。圖號 904 係一信號線通常為鋁質金屬導線藉由汲極接觸 910 (也是鋁質材料) 連接汲極重摻雜區 909g。圖號 912 則是汲極金屬導線藉由貫孔 (through hole) 913 與透明導體電極 914 連接。同時亦藉由汲極接觸 911 與汲極重摻雜區 909g 連接。



## 五、發明說明 (3)

上述的雙閘極結構中係將兩個閘極平行佈局於沿掃描線的方向，而不巧的是通常對包含彩色濾光片的設計中，紅、藍、綠三原色的畫素，以時下的佈局而言也是並排且沿掃描線方向，這樣的結果將導致畫面的解析度受到限制。因為以兩個通道 909c、909e 及雙閘極中間輕摻雜區 909d 三者的總長度和，受到目前 TFT LCD 微影機台的限制，其長度總和將會限制整個畫面的解析度。

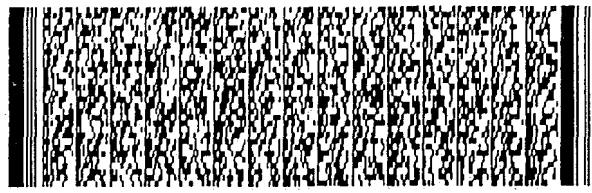
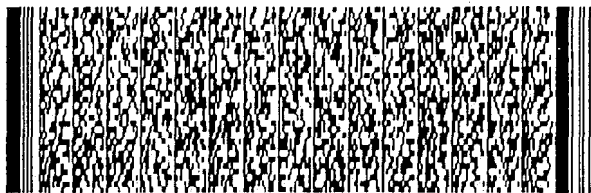
雖然沿掃描線方向有畫素擁擠而影響解析度的問題，然而沿資料線的方向，卻因三原色畫素並排方向並不在此方向，而擁有更多的容忍空間。因此本發明將提出另一思考模式，將兩個通道的位置做調整，將部分沿掃描線上的負擔調整至由資料線方向來分擔，而解決上述傳統製程上的難題。

### 發明內容：

本發明之目的，係提供一種低溫多晶矽液晶顯示器之雙閘型薄膜電晶體結構，用以抑制漏電流，同時，亦能改善傳統雙閘型薄膜電晶體結構之兩個閘極並列於掃描線方向對於解析度提高的妨害。

本發明係揭露一種用以抑制漏電流之液晶顯示器的像素多閘極薄膜電晶體佈局結構，在本發明中共包含五個實施例。

第一實施例中至少包含有一呈蛇形 (或稱為階梯形) 的複晶矽層與一包含一掃描線及一 I 型延伸部之閘極金屬層，該



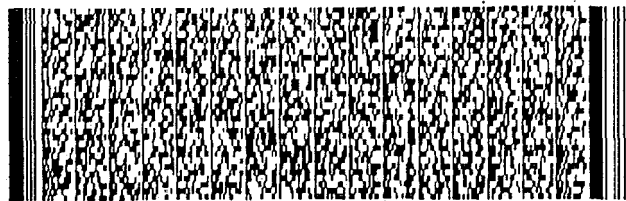
#### 五、發明說明 (4)

蛇型複晶矽層與該掃描線及該 I 型延伸部各有一交會點；此外，閘極通道的鄰接處為 n-輕摻雜區，而兩個閘極通道之間更包含一 n+重摻雜區以降低兩閘極通道之間的阻值。此外，I 型複晶矽層的兩端部則分別為 n+重摻雜源極區及 n+重摻雜汲極區。其中之 n+重摻雜源極區藉由一源極接觸窗連接於一資料線。n+重摻雜汲極區則藉由汲極接觸窗連接至儲存電容及另一介層通道連接透明電極極板。

在第二實施例中，複晶矽層係呈 L 型，且閘極金屬層包含一掃描線及一 L 型延伸部，該 L 型複晶矽層與該掃描線及該 L 型延伸部各有一交會點以做為閘極通道，此外，閘極通道的鄰接處為 n-輕摻雜區，L 型複晶矽層的兩端部則分別為 n+重摻雜源極區及 n+重摻雜汲極區。

在第三實施例中，複晶矽層係呈 L 型，且閘極金屬層包含一掃描線及一 I 型延伸部，該 L 型複晶矽層與該掃描線及該 I 型延伸部各有一交會點以做為閘極通道，此外，閘極通道的鄰接處為 n-輕摻雜區，而兩個閘極通道之間更包含一 n+重摻雜區以降低兩閘極通道之間的阻值。此外，L 型複晶矽層的兩端部則分別為 n+重摻雜源極區及 n+重摻雜汲極區。

在第四實施例中，相似於第二實施例，複晶矽層係呈 L 型，且閘極金屬層包含一掃描線及一 L 型延伸部，該 L 型複晶矽層與該掃描線及該 L 型延伸部各有一交會點以做為閘極通



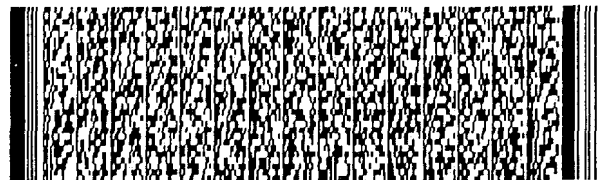
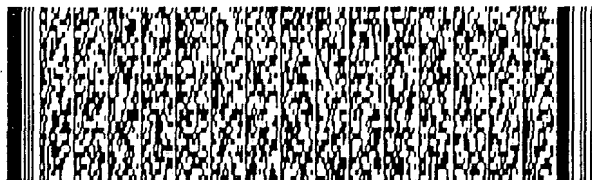
#### 五、發明說明 (5)

道。此外，閘極通道的鄰接處為  $n$ -輕摻雜區， $L$ 型複晶矽層的兩端部則分別為  $n$ +重摻雜源極區及  $n$ +重摻雜汲極區。不過上述的複晶矽層的豎段接近於資料線。

在第五實施例中，複晶矽層係呈  $L$ 型，且閘極金屬層包含一掃描線及一  $L$ 型延伸部，該  $L$ 型複晶矽層與包含一掃描線及一  $L$ 型延伸部之閘極金屬層之  $L$ 型延伸部的橫段與豎段各有一交會點以做為閘極通道，此外，閘極通道的鄰接處為  $n$ -輕摻雜區，而兩個閘極通道之間更包含一  $n$ +重摻雜區以降低兩閘極通道之間的阻值。此外， $L$ 型複晶矽層的兩端部則分別為  $n$ +重摻雜源極區及  $n$ +重摻雜汲極區。

#### 實施方式：

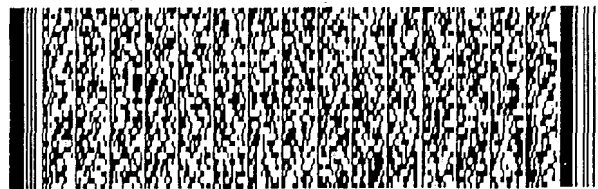
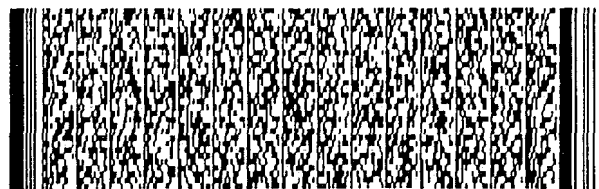
有鑒於未來不管是液晶顯示器或液晶電視的走勢除了大尺寸化之外，就是在提高其解析度以進一步提高畫質。而低溫多晶矽液晶顯示器最大的缺點在於 OFF 時的漏電流，而時下的雙閘極佈局結構雖可降低漏電流但卻又因兩個閘極係並列於沿掃描線方向，因此對提高解析度是有妨害的。本發明所提供的佈局結構可以解決上述的問題。以下實施方式的敘述中有關導電型雜質，為方便說明起見均係以  $n$ 型導電型雜質為例，但並不用以限制本發明的專利範圍，任何熟悉相關技術者皆知， $n$ 型導電型雜質亦可以全面以  $p$ 型導電型雜質置換之。本發明的佈局有多個不同的實施例，分述如下：



## 五、發明說明 (6)

本發明的第一實施例，請參考圖二 A之一畫素的佈局俯視圖及其對應的橫截面示意圖圖二 B。蛇形(或稱為階梯形，如圖二 A所示)多晶矽區段 100包括 100A、100B、100C、100D、100E、100F、100G、100H、100I形成於玻璃基板上。蛇形多晶矽區段 100與掃瞄線金屬線 120及 I形閘極延伸部 121有二個交會處，這兩個交會處分別構成第一通道 100C、及第二通道 100G。當然，在形成掃瞄線金屬線 120及 I形閘極 121前會全面形成一閘極氧化層 140於基板上。第一通道 100C的相鄰兩側邊是 n-輕摻雜區 100B、100D。同樣第二通道 100G的相鄰兩側邊亦是 n-輕摻雜區 100F、100H。為降低兩閘極通道 100C與 100G之間的阻值，通常會包含一 n+重摻雜區 100E。此外多晶矽區段 100A，係一 n+重摻雜型導電性雜質的源極區，藉由接觸窗 132而與金屬材質的資料線 130，例如鋁質金屬線連接。而多晶矽區段 100I係重摻雜汲極區，藉由接觸窗 133連接儲存電容(未圖示)且與形成於第一金屬間介電層 180上之金屬導線 150連接。再藉由另一接觸窗 162而與第二金屬間介電層 190上之透明導體電極 160相連接。

請注意圖二 A之多晶矽區段 100D、100E、100F，亦可以不需要像圖示的使三區呈直角，例如可以呈圖弧狀、或呈兩通道 100C與 100G連線的最短距離直線連接兩通道。若長度縮短至  $1\mu\text{m}$ (含)以下附近，可以只要一 n-輕摻雜區即可。

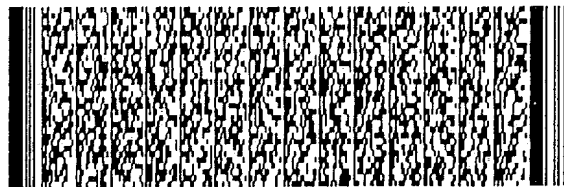
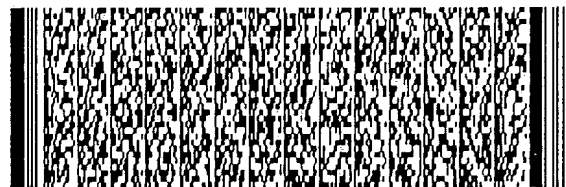


## 五、發明說明 (7)

本發明的第二實施例，請參考圖三之一畫素的佈局俯圖。L形多晶矽區段 200 包括 200A、200B、200C、200D、200E、200F、200G 形成於玻璃基板上。L形多晶矽區段 200 與掃描線金屬線 220 及 L 形閘極延伸部 221 有二個交會處，這兩個交會處分別構成第一通道 200C、及第二通道 200E。當然，在形成掃描線金屬線 220 及 L 形閘極 221 前會全面形成一閘極氧化層 240 於基板上。一如前一實施例，第一通道 200C、第二通道 200E 的相鄰兩側邊是 n-輕摻雜區 200B、200D 及 200D 與 200F。此外多晶矽區段 200A，係一 n+重摻雜型導電性雜質的源極區，藉由接觸窗 232 而與金屬材質的資料線 230 連接。而多晶矽區段 200G 係重摻雜汲極區，其藉由兩接觸窗分別與連接儲存電容 (未圖示) 的金屬導線 (未圖示) 及透明導體電極 260 相連接一如第一實施例所述。

請注意若圖三之兩通道 200C 與 200E 的距離不大，只要一 n-輕摻雜區 200D 即可，但為降低阻值亦可包含一 n+重摻雜區 200D' 於其中。

本發明的第三實施例，請參考圖四之一畫素的佈局俯視圖。L形多晶矽區段 300 包括 300A、300B、300C、300D、300E、300F、300G、300H、300I 形成於玻璃基板上。L形多晶矽區段 300 與掃描線金屬線 320 及 L 形閘極延伸部 321 有二個交會處，這兩個交會處分別構成第一通道 300C、及第二通道 300G。第一通道 300C、第二通道 300G 的相鄰兩側邊是 n-輕摻





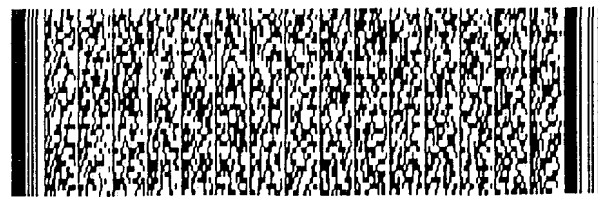
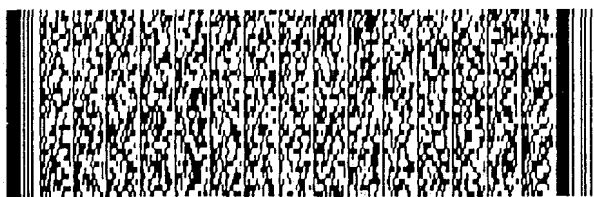
#### 五、發明說明 (8)

雜區 300B、300D及 300F與 300H，且在 n-輕摻雜區 300D與 300H 間是 n+重摻雜區 300E，可用以降低兩閘極通道 300C與 300G之間的阻值。此外多晶矽區段 300A，係一 n+重摻雜型導電性雜質的源極區，藉由接觸窗 332而與金屬材質的資料線 330連接。而多晶矽區段 300I係重摻雜汲極區，其藉由兩接觸窗分別與連接儲存電容(未圖示)的金屬導線(未圖示)及透明導體電極 360相連接一如第一實施例所述。

同樣的多晶矽區段 300D、300E、300F，亦可以不需要像圖示的使三區呈直角，例如可以呈圖弧狀、或呈兩通道 300C與 300G連線的最短距離直線連接兩通道。若長度縮短至  $1\mu\text{m}$ (含)以下附近，可以只要一 n-輕摻雜區即可。

本發明的第四實施例，請參考圖五之一畫素的佈局俯視圖。L形多晶矽區段 400包括 400A、400B、400C、400D、400E、400F、400G形成於玻璃基板上。L形多晶矽區段 400與掃描線金屬線 420及 L形鏡像閘極 421有二個交會處，這兩個交會處分別構成第一通道 400C、及第二通道 400E。第四較佳實施例與第二實施例相較，基本上一為 L形鏡像閘極 421，一為 L形閘極 221其餘均相同，故不再贅述。同樣地，請注意若圖五之兩通道 400C與 400E的距離不大，只要一 n-輕摻雜區 400D即可，但為降低阻值亦可包含一 n+重摻雜區 400D'於其中。

本發明的第五實施例，請參考圖六一畫素的佈局俯視圖。L形多晶矽區段 500包括 500A、500B、500C、500D、



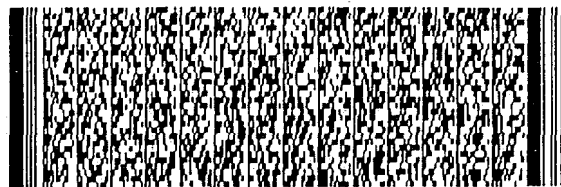
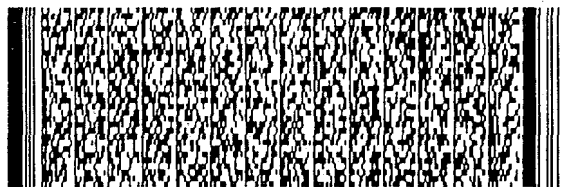
#### 五、發明說明 (9)

500E、500F、500G、500H、500I形成於玻璃基板上。L形多晶矽區段500與掃瞄線金屬線520及L形閘極延伸部521的閘極金屬層中的L形閘極延伸部521有二個交會處，這兩個交會處分別構成第一通道500C、及第二通道500G。第一通道500C、第二通道500G的相鄰兩側邊是n-輕摻雜區500B、500D及500F與500H，且在n-輕摻雜區500D與500F間之500E是n+重摻雜區。此外多晶矽區段500A，係一n+重摻雜型源極區，藉由接觸窗532而與金屬材質的資料線530連接。而多晶矽區段500I係重摻雜汲極區，其藉由兩接觸窗分別與連接儲存電容(未圖示)的金屬導線(未圖示)及透明導體電極360相連接一如第一實施例所述。

本發明具有以下優點：

由於雙閘極中的兩個閘極通道至少有一係沿著資料線方向，因此使得本發明的電晶體佈局結構沿掃瞄線方向可以容納更多畫素，而可以提高解析度。

本發明以較佳實施例說明如上，而熟悉此領域技藝者，在不脫離本發明之精神範圍內，當可作些許更動潤飾，其專利保護範圍更當視後附之申請專利範圍及其等同領域而定。



## 圖式簡單說明

本發明的較佳實施例將於下列之說明文字中輔以下列形做更詳細的闡述：

圖一 A 示傳統雙閘極薄膜電晶體之俯視示意圖。

圖一 B 顯示沿圖一 A 之 a-a' 線的橫截面示意圖。

圖二 A 示本發明之雙閘極薄膜電晶體之俯視示意圖。

圖二 B 顯示沿圖二 A 之 b-b' 線的橫截面示意圖。

圖三顯示本發明之雙閘極薄膜電晶體第二實施例之俯視示意圖。

圖四顯示本發明之雙閘極薄膜電晶體第三實施例之俯視示意圖。

圖五顯示本發明之雙閘極薄膜電晶體第四實施例之俯視示意圖。

圖六顯示本發明之雙閘極薄膜電晶體第五實施例之俯視示意圖。

圖號對照表：

多晶矽區段 100、200、300、400、500

多晶矽層 909

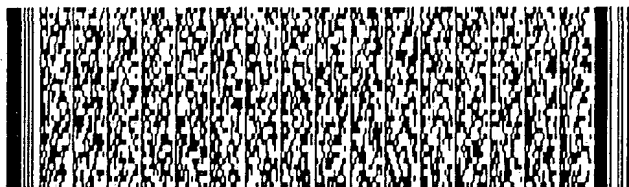
n+重摻雜源極區 909a、100A、200A、300A、400A、500A

n+重摻雜汲極區 909g、100I、200G、300I、400G、500I

第一通道 909c、100C、200C、300C、400C、500C

第二通道 909e、100G、200E、300G、400E、500G

n-輕摻雜區 909b、909d、909f、100B、100D、100F、100H、



圖式簡單說明

200B、200D、200F、300B、300D、300F、300H、400B、  
400D、400F、500B、500D、500F、500H

n+重摻雜區 100E、300E、500E

掃描金屬線 903、120、220、320、420、520

I型閘極 121、321

L型閘極 221、521

L型鏡像閘極 421

資料線 904、130、230、330、430、530

接觸窗 910、911、913、132、133、162、232、233、332、  
333、432、433、532、533

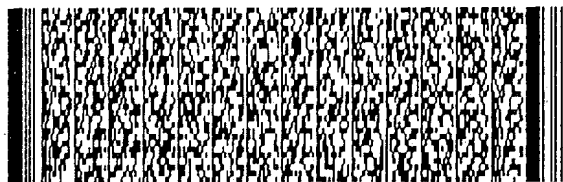
閘極氧化層 918、140、240、340、440、540

透明金屬電極 914、160、260、360、460、560

第一金屬介電層 919、180

第二金屬介電層 920、190

金屬導線 912、150



## 六、申請專利範圍

1. 一種液晶顯示器之像素多閘極薄膜電晶體 (TFT)，至少包含：

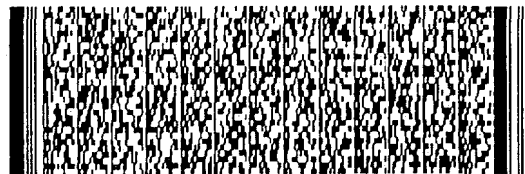
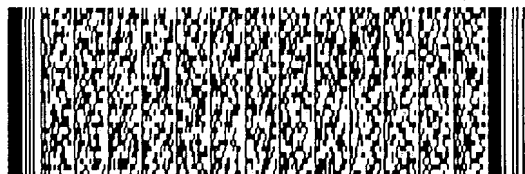
一導電型雜質重摻雜源極區、一第一導電雜質摻雜區、一第一閘極通道、一第二導電雜質摻雜區、一第二閘極通道、一第三導電雜質摻雜區、及一導電型雜質重摻雜汲極區依序排列於一複晶矽層內，該導電雜質重摻雜源極區藉由一源極接觸窗而連接於一資料線，該複晶矽層形成於一基板上並呈一蛇形或呈 L 型其中之一種，並且該第一閘極通道與該第二閘極通道的長度方向至少一者係沿著資料線方向；

一閘極氧化層覆蓋上述之複晶矽層；以及

一多閘極形成於該閘極氧化層上，並且至少與該複晶矽層交會於該第一閘極通道及該第二閘極通道上方。

2. 如申請專利範圍第 1 項之多閘極薄膜電晶體，當其中上述之複晶矽層呈一蛇形時，該多閘極包含一掃描線與一與該掃描線垂直之 I 形閘極延伸部，並分別與該蛇形複晶矽層之其中二段交會於該第一閘極通道及該第二閘極通道上方。

3. 如申請專利範圍第 1 項之多閘極薄膜電晶體，當其中上述之複晶矽層呈一 L 形，且該多閘極包含一掃描線及一 L 形閘極延伸部時，其中該掃描線及該 L 形閘極延伸部皆與該 L 形複晶矽層交會於該 L 形複晶矽層之豎段，該 L 形複晶矽層之橫段末端係該導電雜質重摻雜源極區，豎段末端係該導電雜質重



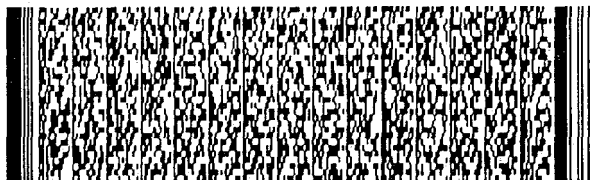
#### 六、申請專利範圍

摻雜汲極區。

4.如申請專利範圍第3項之多閘極薄膜電晶體，當其中上述之複晶矽層呈一L形，且該多閘極包含一掃描線及一L形鏡像閘極延伸部時，其中該掃描線及該L形鏡像閘極延伸部皆與該L形複晶矽層交會於該L形複晶矽層之豎段，該L形複晶矽層之橫段末端係該導電雜質重摻雜源極區，豎段末端係該導電雜質重摻雜汲極區。

5.如申請專利範圍第1項之多閘極薄膜電晶體，當其中上述之複晶矽層呈一L形時，該多閘極包含一掃描線與一與該掃描線垂直之I形閘極延伸部，並分別與該L形複晶矽層之豎段與橫段交會於該第一閘極通道及該第二閘極通道上方，該L形複晶矽層之橫段末端係該導電雜質重摻雜源極區，豎段末端係該導電雜質重摻雜汲極區。

6.如申請專利範圍第1項之多閘極薄膜電晶體，當其中上述之複晶矽層呈一L形時，該多閘極包含一掃描線及一L形閘極延伸部，其中該L形閘極延伸部之豎段與橫段分別與該L形複晶矽層之橫段與豎段交會於該第一閘極通道及該第二閘極通道上方，該L形複晶矽層之橫段末端係該導電雜質重摻雜源極區，豎段末端係該導電雜質重摻雜汲極區。



#### 六、申請專利範圍

7. 如申請專利範圍第6項之多閘極薄膜電晶體，更包含在  
述之第一閘極通道與上述之第二閘極通道之間的該第二導電  
雜質輕摻雜區內包含一導電雜質重摻雜區於其中，以降低該  
二閘極通道之間的阻值。

8. 一種液晶顯示器之像素多閘極薄膜電晶體 (TFT)，至少包  
含：

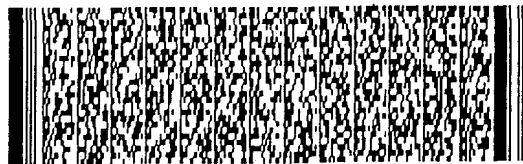
一導電型雜質重摻雜源極區、一第一導電雜質摻雜區、  
一第一閘極通道、一第二導電雜質摻雜區、一第二閘極通  
道、一第三導電雜質摻雜區、及一導電型雜質重摻雜汲極區  
依序排列於一複晶矽層內，該導電雜質重摻雜源極區藉由一  
源極接觸窗而連接於一資料線，該複晶矽層以蛇形分佈形成  
於一基板上；

一閘極氧化層覆蓋上述之複晶矽層；以及

一多閘極包含一掃描線與一與該掃描線垂直之I形閘  
極延伸部，並分別與該蛇形複晶矽層之其中二段交會於該第  
一閘極通道及該第二閘極通道上方而使該第一閘極通道與該  
第二閘極通道的長度方向其中之一者係沿著資料線方向。

9. 一種液晶顯示器之像素多閘極薄膜電晶體 (TFT)，至少包  
含：

一導電型雜質重摻雜源極區、一第一導電雜質摻雜區、  
一第一閘極通道、一第二導電雜質摻雜區、一第二閘極通  
道、一第三導電雜質摻雜區、及一導電型雜質重摻雜汲極區



#### 六、申請專利範圍

依序排列於一複晶矽層內，該導電雜質重摻雜源極區藉由源極接觸窗而連接於一資料線，該複晶矽層形成於一基板上並呈一 L 形分佈；

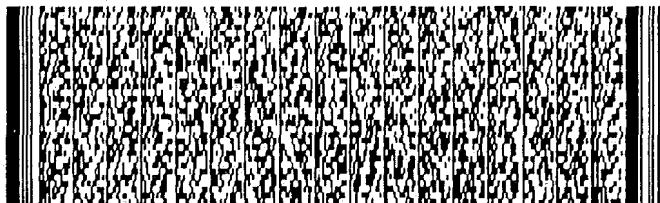
一閘極氧化層覆蓋上述之複晶矽層；以及

一多閘極金屬層包含一掃瞄線及一延伸部，其中該延伸部係選自由垂直該掃瞄線之 I 形閘極延伸部、L 形閘極延伸部、及 L 形鏡像閘極延伸部所組成的族群其中之一種，該多閘極金屬與該該 L 形複晶矽層交會於該第一閘極通道及該第二閘極通道上方，其中該第一閘極通道與該第二閘極通道的長度方向至少其中之一者係沿著資料線方向。

10. 如申請專利範圍第 9 項之多閘極薄膜電晶體，當該延伸部係 L 形閘極延伸部時，該 L 形複晶矽層之橫段末端係該導電雜質重摻雜源極區，豎段末端係該導電雜質重摻雜汲極區，該掃瞄線與該 L 形閘極延伸部，與該 L 形複晶矽層之豎段交會於該第一閘極通道及該第二閘極通道上方。

11. 如申請專利範圍第 9 項之多閘極薄膜電晶體，當該延伸部係 I 形閘極延伸部時，該 L 形複晶矽層之橫段末端係該導電雜質重摻雜源極區，豎段末端係該導電雜質重摻雜汲極區，該掃瞄線與該 I 形閘極延伸部，分別與該 L 形複晶矽層之橫段與豎段交會於該第一閘極通道及該第二閘極通道上方。

12. 如申請專利範圍第 9 項之多閘極薄膜電晶體，當該延伸部

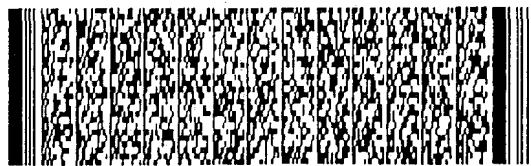





#### 六、申請專利範圍

係 L 形鏡像閘極延伸部時，該 L 形複晶矽層之橫段末端係該電雜質重摻雜源極區，豎段末端係該導電雜質重摻雜汲極區，該掃瞄線與該 L 形鏡像閘極延伸部，與該 L 形複晶矽層之豎段交會於該第一閘極通道及該第二閘極通道上方。

13. 如申請專利範圍第 9 項之多閘極薄膜電晶體，當該延伸部係 L 形閘極延伸部時，該 L 形複晶矽層之橫段末端係該導電雜質重摻雜源極區，豎段末端係該導電雜質重摻雜汲極區，該 L 形閘極延伸部之豎段與橫段分別與該 L 形複晶矽層之橫段及豎段交會於該第一閘極通道及該第二閘極通道上方。




A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular black shapes and lines scattered across a white background, creating a noisy, textured appearance. The overall effect is reminiscent of a high-contrast, grainy image or a complex digital noise pattern.




100

A large, dense, black and white photograph of a textured surface, possibly a wall or a piece of fabric, with a vertical line running down the center. The texture is highly irregular and grainy, with many small, dark spots and lines. The vertical line is slightly darker and more prominent than the rest of the image.



100

[illegible]

100



100



100

100

1000

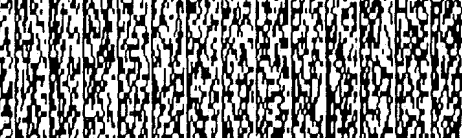




A large, dense, black and white photograph of a textured surface, possibly a wall or a piece of fabric, with a vertical line running down the center. The texture is highly irregular and grainy, with many small, dark, and light patches. The vertical line is slightly darker and more uniform than the surrounding areas, creating a sense of depth and focus. The overall image has a high-contrast, almost abstract quality, with the texture appearing to be a mix of organic and man-made elements. The lighting is somewhat uneven, with the center of the image being slightly brighter than the edges, which are more shadowed. The overall effect is one of a close-up, detailed view of a complex surface.

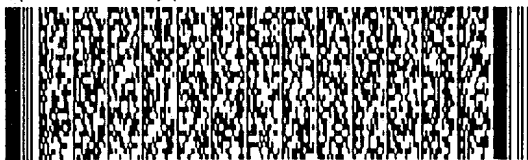
100

100

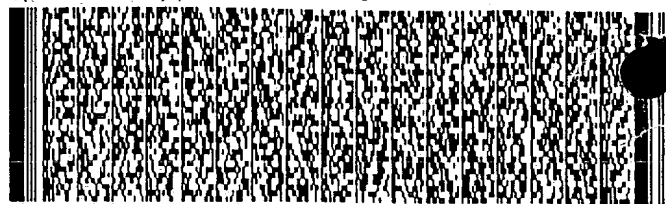
100



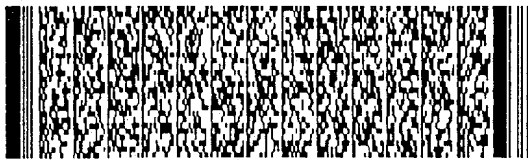
第 21/23 頁



第 22/23 頁



第 23/23 頁



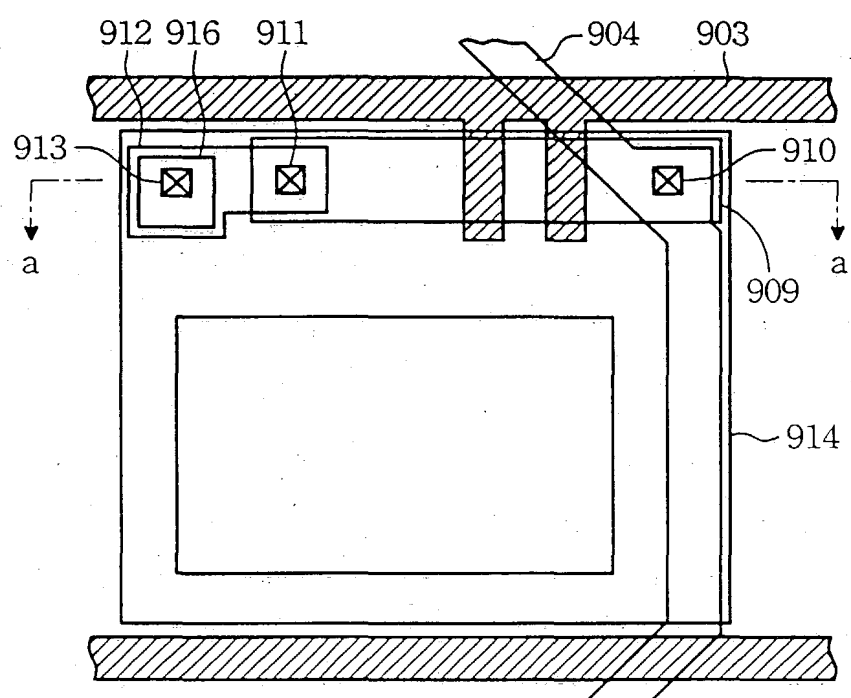


圖 一 A (習知技藝)

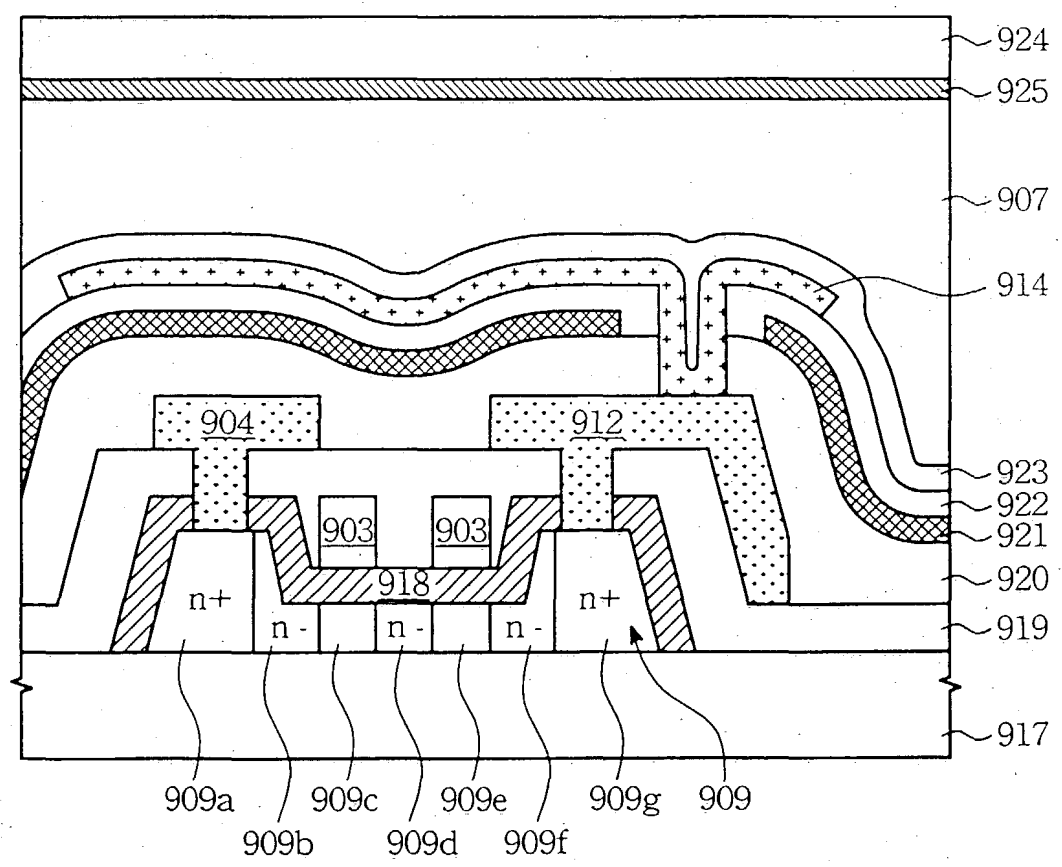
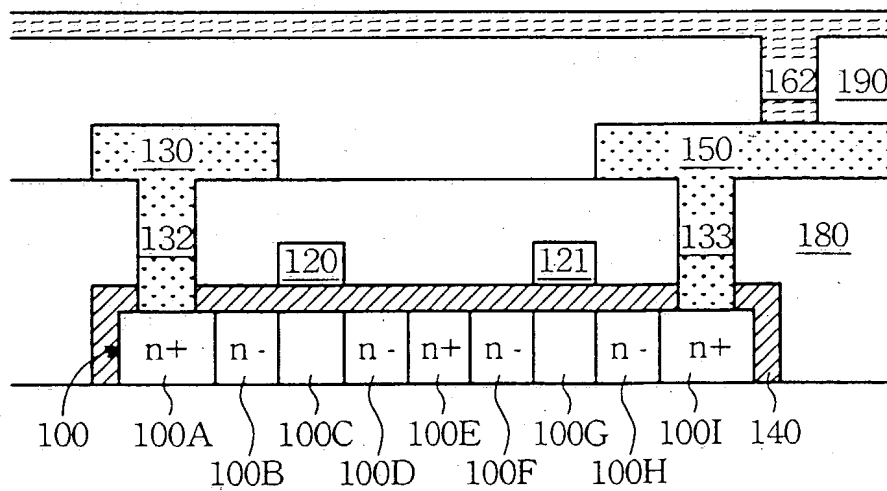
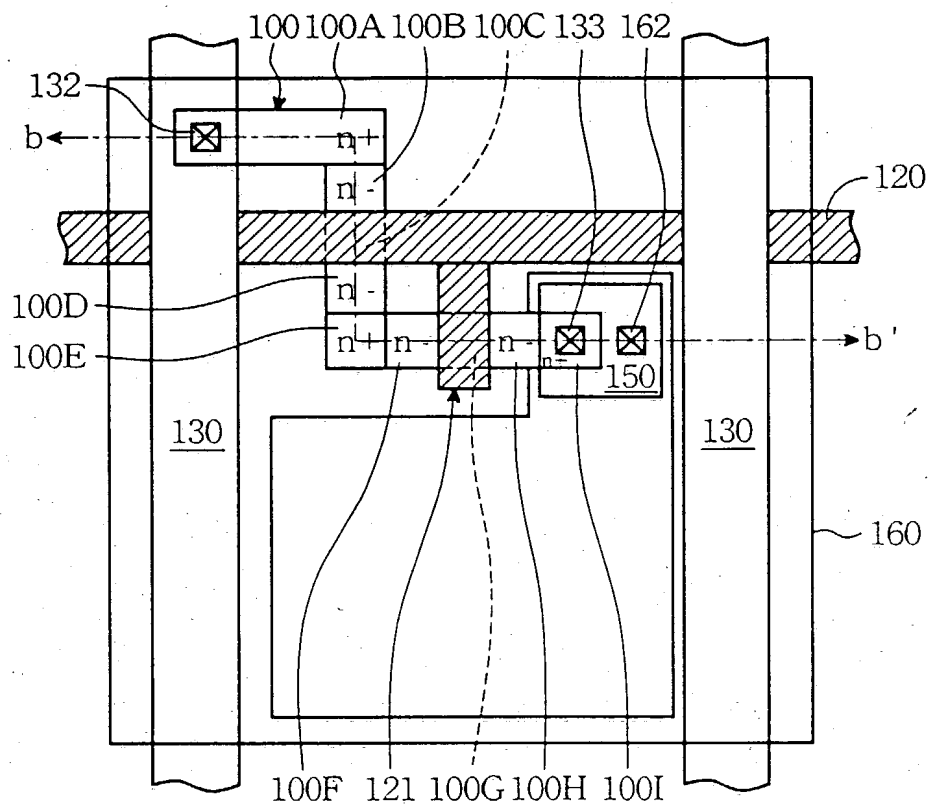


圖 一 B (習知技藝)



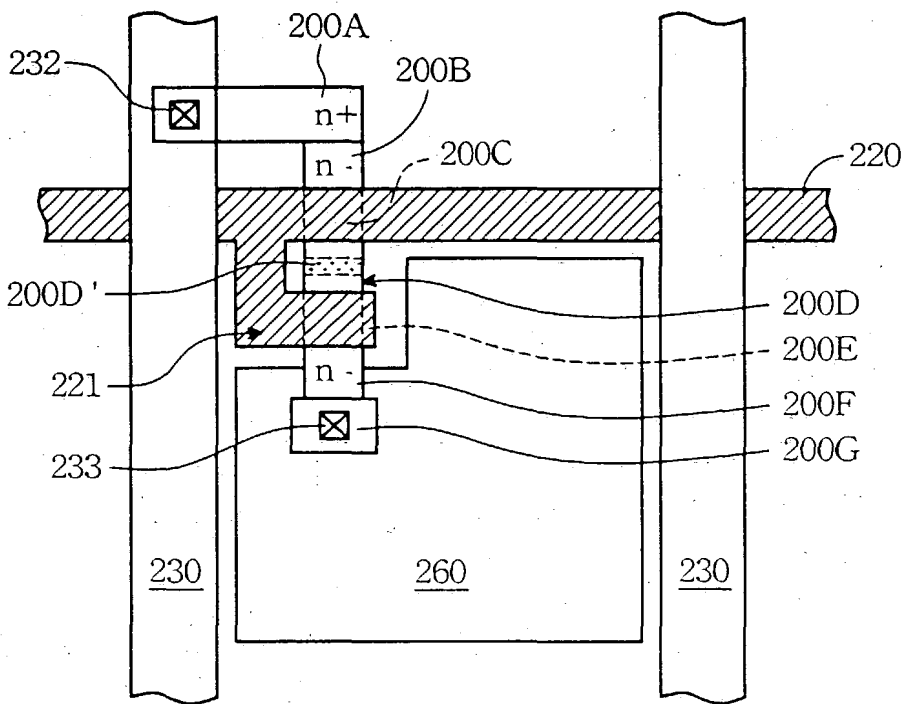


圖 三

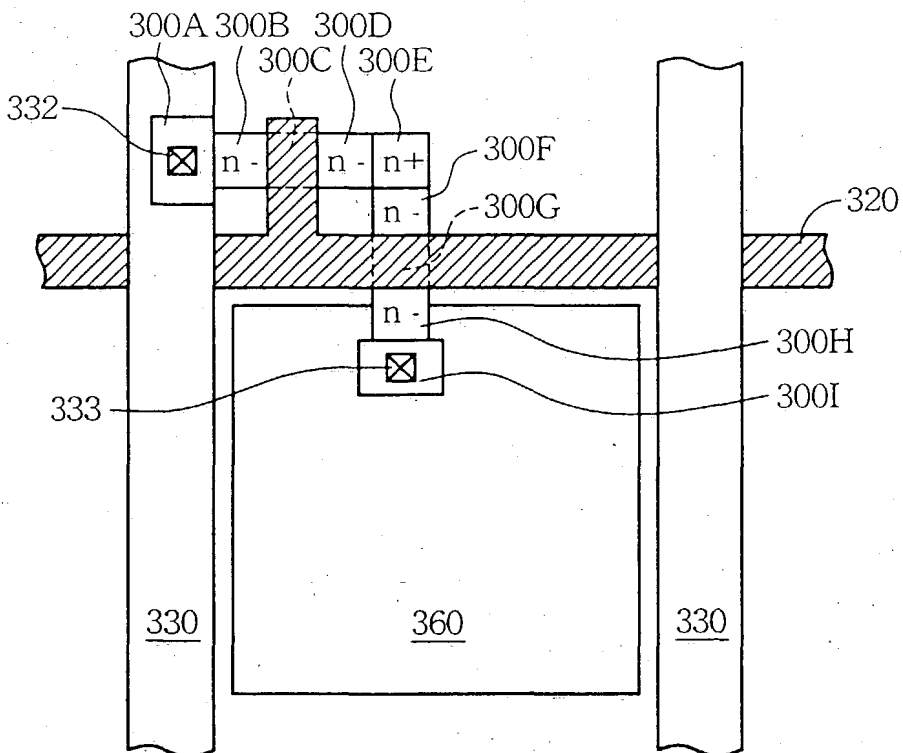


圖 四

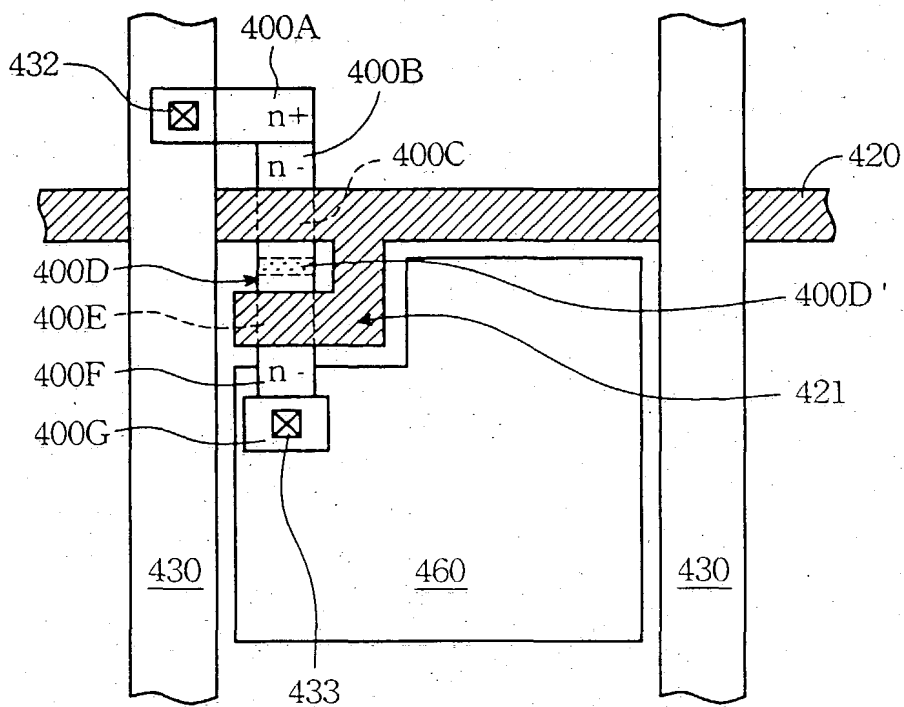


圖 五

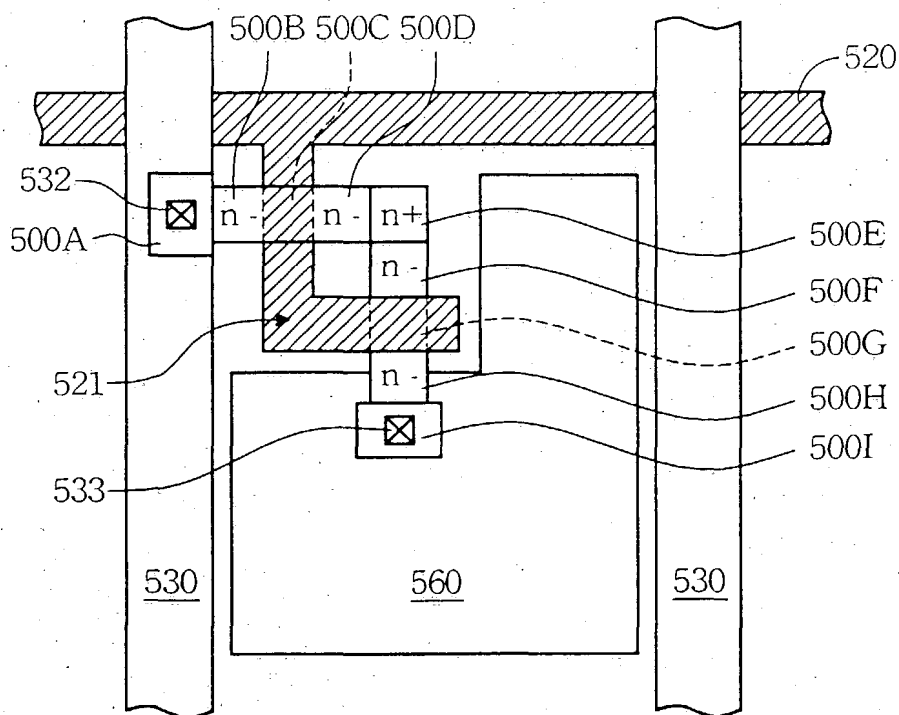


圖 六